

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

" Translation of 10-274755 "

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the technique and structure of generally reducing the capacity during a narrow wiring of the spacing of an integrated circuit, and the capacity of a silicon trench separation. Especially this invention suppresses the crack under hardening of a hydronalium \*\*\*\*\* sesquioxane (HSQ) thin film, obtains the resistance force to high temperature processing, and relates to the technique of increasing the porosity of HSQ and reducing specific inductive capacity.

[0002]

[Description of the Prior Art] An integrated circuit has many which need the multilayer interconnection of no less than seven layers for demanding the wiring with a very narrow spacing gradually, and wiring various circuits on a device. Since the capacity during a contiguity wiring will increase if a spacing is narrow, if the geometry of a device contracts and a density increases, the capacity and the cross talk during a contiguity wiring will pose a problem much more. Therefore, it is becoming desirable gradually to offset this inclination using the material with low specific inductive capacity, and to make capacity during a narrow wiring of a spacing low.

[0003] Although wiring capacity is an amount distributed in a wiring, two elements, i.e., a wiring pair substrate, i.e., wiring pair grand capacity, and the capacity between wirings are dominant. When a design rule is super-large-scale integration 0.25 microns or more, a performance is governed by wiring RC retardation and the capacity between wirings is most contributed to the total capacity. For example, it is shown by the theoretical modeling that the capacity between layers becomes low so that the total capacity will be decided with the capacity between wirings which constitutes the 90% or more, if scale down of width of face/the spacing is carried out at 0.3 microns or less. Therefore, the total capacity is reduced very effectively only by reducing the capacity between wirings.

[0004] SiO<sub>2</sub> in which the dielectric (IMD) between metals of the conventional technique has about 4.0 specific inductive capacity typically it is. It is desirable to replace this material by the material with low specific inductive capacity. Low specific inductive capacity, i.e., low k, means about two or less material preferably in the desirable pan lower than 3 with specific inductive capacity lower than about 3.5 so that it may be used here. The material with specific inductive capacity low with regrettable has the property which makes it difficult to integrate to established integrated-circuit structure and an established process. Many polymer materials, such as poly-sil sesquioxane, a parylene, a polyimide, a benzo cyclobutane, and amorphous Teflon, have low specific inductive capacity. Other desirable materials are the aerogels and xerogel which are typically made from a tetrapod ethoxy silane (TEOS) stock solution. SiO<sub>2</sub> It compares, and a mechanical strength is low, dimension stability is bad, temperature stability is bad, these desirable low k materials have hygroscopic degree and a high penetrance, its adhesive property is bad, and its stress level is [ a coefficient of thermal expansion is large and ] typically unstable. According to these attributes, a polymer and the material with other low specific inductive capacity are set in an integrated-circuit process or structure only by it, and it is SiO<sub>2</sub>. It is a problem to use it instead.

[0005] The technique and structure which accumulate HSQ and the material with other low specific inductive capacity on the patent application SN60 by the same applicant / 866 (ti-21880) are indicated. [ 013 and 866 ] Making the multilayer dielectric stack which consists of a layer in which a low k material and the conventional dielectric carry out alternation to this application is indicated. A brittler low k material can be made to bear impact by the stabilization layer inserted between the layers of a low k layer.

[0006] The technique and structure which accumulate HSQ as a mesa isolation construction are indicated by another application SN60/(TI-19738) by the same applicant.

[0007]

[Problem(s) to be Solved by the Invention] The technique of having been improved which has a property which was described above, and which is not desirable by this invention and which accumulates the material with low specific inductive capacity as an integrated circuit, and the process which needs especially a multilayer interconnection are offered. Especially this invention relates to improving the mechanical strength of low k layers, such as hydronalium \*\*\*\*\* sesquioxane (HSQ), and crack resistance.

[0008]

[Means for Solving the Problem] It is observed that crack formation of HSQ is influenced by factors, such as a curing

temperature, a hardening environment, the setting time, and a thickness. Crack suppression was successful to some extent by controlling these conditions. indicating here -- more -- an ass -- in order to attain a strike manufacture process and thick HSQ layer which does not have a crack substantially, it is the technique of rearranging the process step of the technique of the conventional technique, and reducing the crack of HSQ further Generally, the process of this invention is covering with a stable thin film mechanically [ permeability ], before hardening HSQ.

[0009] In the example, a wiring is patternized first and it is etched. Low k materials, such as hydronalium \*\*\*\*\* sesquioxane (HSQ), carry out horizontal OFF of the wafer front face, spin coating is carried out and the field during a wiring is filled. As for HSQ, it is advantageous to make it thicker than what is obtained with the structure of the conventional technique. Next, SiO<sub>2</sub> The dielectric stabilization cap layer of a grade is formed in the crowning of HSQ. Next, HSQ is heated and stiffened on a hot plate. Next, thin SiO<sub>2</sub> The flattening of the flattening layer can be formed and carried out. another example -- HSQ and SiO<sub>2</sub> a process step -- repeating -- a multilayer -- it can be referred to as HSQ

[0010] The advantage of this invention is that a process step is not added compared with the existing HSQ process. A cost is not added to a process step essentially being rearranged serially, therefore adding the profits of a new process.

[0011] Other advantages of this invention are being able to use an elevated-temperature (> 450 degrees C) process following formation of HSQ. For example, elevated-temperature kiln hardening of the formation of oxide-film high concentration, a reflow, etc. is attained, and the non-\*\*\*\* of a dielectric is improved.

[0012] Another advantage is O<sub>2</sub>. And it is an oxide film is "recoverable" before the process which follows using H<sub>2</sub> O hardening.

[0013] Furthermore, since HSQ is protected from a plasma by the cap layer, if it is required, it is being able to use oxygen plasma ashing with an impurity. Moreover, this invention is combinable with the above mentioned technique of reference application.

[0014]

[Embodiments of the Invention] With reference to drawing 1 , the example of this invention is shown and HSQ18 is deposited between the wirings 14 on the semiconductor substrate 10. HSQ can be formed by the technique indicated by one and the aforementioned reference application of the technique of some common knowledge. The thin dielectric cap layer 20, i.e., a stabilization layer, has covered HSQ layer. An addition low k material layer can be formed following a cap layer. Next, the field between metals can be completed by the dielectric layer between flattening metals 22.

[0015] With reference to drawing 2 a-view 2 b, a series of step which forms the example of this invention expressed with the completion structure of drawing 1 is shown. The semiconductor substrate 10 covered with the dielectric layer 12 by drawing 2 a is shown. The example which this invention illustrates is turned to reducing the capacity during the wiring on an integrated circuit. Since these wirings are typically arranged on the top face of the active device made on the front face of the wafer of semiconductor materials, such as a silicon crystal, the semiconductor substrate 10 contains some layers of various semiconductor materials which usually constitute the active component of a semiconductor device. In order to simplify, these layers and devices do not illustrate. Let the dielectric layers 12 be the arbitrary materials suitable for insulating the metal wiring 14 from the component and other materials of a lower layer which are shown all together as a semiconductor substrate 10.

[0016] Preferably, a wiring makes an aluminum layer deposit on the desirable flat dielectric layer 12, and is formed. By the resist, the mask of the aluminum can be carried out, it can be patternized, and can etch by 1 technique in some well-known technique. By this procedure, the metal wiring 14 which is shown in drawing 2 a is obtained. The technique of this invention uses the high metal of an aspect ratio, and the thickness of a wiring metal is larger than width of face. Maintaining the narrow spacing of a high-density circuit, the high wiring of an aspect ratio is useful, although wiring resistance is reduced. A wiring and the connection between lower layer circuits are expressed by beer and the plug 16. The number and position of beer are decided by design of a lower layer circuit.

[0017] HSQ18 formed in drawing 2 b between wirings 14 on the wafer front face is shown. Preferably, HSQ18 is formed of a spin coat process by sufficient thickness to fill the important field during the metal wiring 14 shown in drawing 2 b. A desirable material is \*\*\*\*\* sill sesquioxane (HSQ) which has parvus specific inductive capacity rather than about 3. This material is manufactured in Dow-Jones-Corning, Inc., and is sold by the trademark of FOX, and is sold by the trademark of HSSO also from Allied Signal, Inc. Next, partial hardening of the HSQ is preferably carried out at about 300 degrees C by hot-plate \*\*\*\*\* on a spin coater.

[0018] Then, the stabilization cap layer 20 which is shown in drawing 2 b is formed in HSQ18. The nucleation of a micro crack and propagation are prevented and a cap layer is O<sub>2</sub>. And H<sub>2</sub> O kiln hardening is enabled, thicker HSQ layer is made possible, without producing a crack, and a flattening is improved. A cap layer thickness can be optimized according to the intensity and thickness of HSQ. A cap layer is the dense plasma SiO<sub>2</sub>, plasma Si<sub>3</sub> N<sub>4</sub>, and the fluoride SiO<sub>2</sub>. Or it can consider as other suitable dielectrics. beer -- in order to use the chemical action based on the same CF as using it dirtily for etching -- plasma CVD SiO<sub>2</sub> A cap layer is desirable. a cap layer thickness -- desirable -- 1,000-3,000\*\* -- it is about 2,000\*\* most preferably

[0019] HSQ can be hardened after formation of the cap layer 20. The nucleation of a micro crack and prevention of propagation are helped, and a cap layer is O<sub>2</sub>. And H<sub>2</sub> O kiln hardening is enabled, thicker HSQ layer is made possible, without producing a crack, and a flattening is improved.

[0020] Then, it is SiO<sub>2</sub> with about 16,000 thin \*\* to the cap layer 20. The flattening of the dielectric between layers 22 can be formed and carried out. After carrying out the flattening of the dielectric between layers, it becomes the structure which is shown in drawing 1 . SiO<sub>2</sub> in which deposits the dielectric between layers by plasma CVD (PECVD), and a flattening is carried out by chemical machinery polishing (CMP) in the desirable example it is . It is SiO<sub>2</sub> when this invention arranges low dielectric materials between the conventional dielectric materials so that it may explain in full detail behind. The advantage of the material

with low specific inductive capacity is combined. A structural stability, tackiness, thermal conductivity, etc. are SiO<sub>2</sub>. It is improved with other suitable dielectrics.

[0021] The technique of this invention can be repeated and the multilayer interconnection accumulated mutually can be formed. A multilayer example is shown in drawing 3. The beer between layers and the contact 16 are required for the typical multilayer interconnection. Usually, these beer is made, after forming and carrying out the flattening of the dielectric between layers by the well-known technique.

[0022] The liner layer 24 is also shown in drawing 3. The liner layer 24 can be used in order for HSQ not to contact wiring 14. A liner layer can be used as \*\*\*\*\* toppings, i.e., a protection exaggerated coat layer, such as CVD silicon oxide. Next, a spin coat is carried out on the wafer front face on HSQ material liner layer.

[0023] although the structure shown in drawing 1 is similar to the structure of the conventional technique, the important characteristic feature is observed -- \*\*\*\* By the technique of this invention, HSQ can be formed more thickly than the former. In order that thickness may increase, by having the lower material of specific inductive capacity between metal wiring layers, wiring capacity can be reduced and the \*\*\*\*\* capacity during the wiring on the same metal layer can also be reduced. the structure of the conventional technique which uses the technique of the conventional technique -- the maximum flat-surface field -- thick -- 26 -- about 4,000\*\* -- it is -- a maximum of [ on wiring 28 ] -- HSQ was about 1,000\*\* When using the technique of the conventional technique, the remarkable crack problem arose in HSQ formed on such maximums. The example of this invention contains HSQ on the field thick wiring [ larger than 4,000\*\* ] 28 larger than 26 and 1,000\*\*.

[0024] Another example of this invention is shown in drawing 4. This example has applied the technique of this invention to the structure of S/N60 (TI-19738). It is indicating that HSQ is arranged at separation Mizouchi and this application performs an elevated-temperature-proof trench pad. With this structure, when the cap layer was given to HSQ before kiln hardening, it turns out that it is also advantageous. Without doing detrimental influence by the cap layer especially, HSQ layer can be thickened and a thickness can make it thicker than 1 micrometer. Moreover, it is O<sub>2</sub> of HSQ by the cap layer. H<sub>2</sub> O kiln hardening to do can be performed and deflation of HSQ layer is reduced.

[0025] As shown in drawing 4, the silicon substrate 10 has the separation slot 30 which separates contiguity active devices, such as a transistor 32. The nitride cap 22 is CMP stopper of an oxide-film flattening while he is the hard surface mask blank of slot formation etching. Preferably, next, the spin coat of the substrate is carried out by HSQ18. Preferably, next, partial hardening of HSQ18 is carried out by hot-plate \*\*\*\*\* on a spin coater. It is formed as the capping layer 20 which is PETEOS preferably described above. After forming a capping layer, HSQ is N<sub>2</sub> [ 150-degree C ] and O<sub>2</sub>. Or kiln hardening is safely carried out among [ H<sub>2</sub> O ] 850 degrees C. Kiln hardening is performed most preferably for about 30 minutes for 15 to 100 minutes.

[0026] Another example of this invention is shown in drawing 5. In this example, HSQ layer is used as a poly-metal dielectric layer. The silicon substrate 10 has the one or more gates 34 like understanding from drawing 5. The gate contains the separation slot 30 which separates a contiguity active device. Preferably, the spin coat of HSQ18 is carried out to a substrate front face. Preferably, next, partial hardening of HSQ18 is carried out by hot-plate \*\*\*\*\* on a spin coater. It is formed as the capping layer 20 which is PETEOS preferably described above. After formation of a capping layer and HSQ are N<sub>2</sub> [ 1050-degree C ] and O<sub>2</sub>. Or kiln hardening is safely carried out among [ H<sub>2</sub> O ] 850 degrees C. Kiln hardening is about 30 minutes most preferably for 15 to 100 minutes. This example can be used combining the example of above mentioned another side.

[0027] this invention is considered as use combining the structure and technique which were again indicated by application by the same applicant who described the stabilization layer above.

[0028]

[Table 1] The outline of an example and a drawing is shown in a table.

図面要素	好ましいまたは特定例	一般的用語	代替例
10	シリコン基板	基板またはウエーハ	GaAs
12	シリコン酸化膜	バッファ層	
14	アルミニウム	配線	TiN/Al/TiN, Cu, W
16	タングステン	ビア	アルミニウム
18	HSQ	低比誘電率材料	キセロゲル, 有機SOC, 低比誘電率ポリマー
20	TEOS	キャッピング層	フッ化SiO <sub>2</sub> , Si <sub>3</sub> N <sub>4</sub> , ダイアモンド, 機械的強度の良い他の誘電体
22	SiO <sub>2</sub>	金属間誘電体	フッ化SiO <sub>2</sub> , Si <sub>3</sub> N <sub>4</sub> , ダイアモンド, 機械的強度の良い他の誘電体
24	シリコン酸化膜	ライナー	フッ化SiO <sub>2</sub>
30	トレンチ		
32	窒化膜	研磨ストップパ	
34	シリコン酸化膜	パッド酸化膜	

[0029] Although this invention has been explained with reference to an example, this explanation does not have constraint-implications. the correction and combination with examples various if it is this contractor and an explanation will be read illustrated not only in other examples -- obvious -- it will be. All of such correction or an example shall go into a claim.

[0030] The following application for which the cross-reference same applicant of related application applies relates to this application, and is incorporated here as a part of this indication.

Application TI case Filing date of application Title S/Ns 08/137,658 TI-18509 10 / 15/93 The capacity between wirings  
Flattening structure S/Ns 08/298,807 to reduce TI-19532 08 / 03/94 Wiring capacity improvement S/Ns 08/455,765 during a  
metal lead TI-18929AA 05 / 31/95 Flatness embedding the insulator with low specific inductive capacity \*\*\*\*\* method  
S/Ns 60/005132 TI-20784 10 / 12/95 Low capacity wiring structure S/N60for integrated circuits/ TI-21907 10 / 25/95 High  
temperature duction wiring structure S/N60/ TI-21909 12 / 04/95 The low for integrated circuits which used the decomposition  
polymer Capacity wiring structure S/N60 / 866 TI-21880 03 / 22/96 Low capacity wiring structure S/N60for integrated  
circuits/which used the material with low specific inductive capacity [ 013, 866 ] TI-19738 07 / 30/96 A fluid oxide film is used  
as a \*\*\*\* material. \*\* for \*\* silicon-on in \*\*\*\*\* techniques \*\* separation \*\*\*\* process [0031] The following terms are  
further indicated about the above explanation.

(1) the step to which it is the formation technique of micro erection \*\*\*\*\* structure, and this technique hardens the step which  
prepares (b) semiconductor substrate, the step which forms a hydronalium \*\*\*\*\* sesquioxane layer on the (b)  
aforementioned substrate, the step which forms a capping layer in the (c) aforementioned hydronalium \*\*\*\*\* sesquioxane  
layer, and (d) hydronalium \*\*\*\*\* sesquioxane layer at kiln -- since -- the technique of becoming

[0032] (2) the step to which it is the formation technique of micro erection \*\*\*\*\* structure, and this technique hardens the step  
which prepares the semiconductor substrate which has (b) metal wiring, the step which forms a hydronalium \*\*\*\*\*  
sesquioxane layer on the aforementioned wiring of the (b) aforementioned substrate, the step which forms a capping layer in the  
(c) aforementioned hydronalium \*\*\*\*\* sesquioxane layer, and (d) hydronalium \*\*\*\*\* sesquioxane layer at kiln -- since --  
the technique of becoming

[0033] (3) It is the technique by which it is the technique of the 1st term or the 2nd-term publication, and the aforementioned  
hydronalium \*\*\*\*\* sesquioxane is formed between the wirings on the aforementioned substrate.

[0034] (4) Technique containing the addition step which is the technique of the 1st-term publication, and prepares a liner layer on  
the aforementioned conductive wiring further before forming the aforementioned hydronalium \*\*\*\*\* sesquioxane.

[0035] (5) It is the technique by which it is the technique of the 1st term or the 2nd-term publication, and the aforementioned  
hydronalium \*\*\*\*\* sesquioxane is formed in separation Mizouchi on the aforementioned substrate.

- [0036] (6) Being the technique of the 1st term or the 2nd-term publication, the aforementioned capping layer is SiO<sub>2</sub>. And S<sub>3</sub> N<sub>4</sub> and fluoride SiO<sub>2</sub> Technique chosen from a group.
- [0037] (7) It is the technique are the technique of the 1st term or the 2nd-term publication, and the aforementioned kiln hardening has an environment from Cx Hy, Cx Fy, N<sub>2</sub>, O<sub>2</sub>, H<sub>2</sub> O, and foaming gas (mixture of H<sub>2</sub> and N<sub>2</sub>).
- [0038] (8) It is the technique of being the technique of the 7th-term publication and having the temperature with the aforementioned kiln hardening higher than 400 degrees C.
- [0039] (9) It is the technique of being the technique of the 7th-term publication and having the temperature with the aforementioned kiln hardening higher than 800 degrees C.
- [0040] (10) How to repeat step (b) to (d) next and make multilayer-interconnection structure including the addition step which is the technique of the 1st term or the 2nd-term publication, and carries out the flattening of the aforementioned dielectric following deposition.
- [0041] (11) the hydronalium \*\*\*\*\* sesquioxane layer which does not have a crack substantially [ are micro erection \*\*\*\*\* structure and ] on (b) semiconductor substrate and the aforementioned substrate which has thickness larger than (b) about 4,000 \*\* -- since -- the becoming structure
- [0042] (12) It is the structure where are the structure of the 11th-term publication and the aforementioned hydronalium \*\*\*\*\* sesquioxane is formed between the wirings on the aforementioned substrate.
- [0043] (13) It is the structure where are the structure of the 11th-term publication and the aforementioned hydronalium \*\*\*\*\* sesquioxane is formed in separation Mizouchi on the aforementioned substrate.
- [0044] (14) Being the structure of the 11th-term publication, the aforementioned capping layer is SiO<sub>2</sub>. And S<sub>3</sub> N<sub>4</sub> and fluoride SiO<sub>2</sub> Structure chosen from a group.
- [0045] (15) It is the structure where are the structure of the 11th-term publication and the aforementioned hydronalium \*\*\*\*\* sesquioxane is formed as a poly-metal dielectric on the device gate on the aforementioned substrate.
- [0046] (16) The technique of having been improved which accumulates HSQ into integrated-circuit structure, and the process which needs especially a multilayer interconnection are offered. In the example, wiring 14 is first patternized on a substrate 10, and it is etched. Low k materials, such as hydronalium \*\*\*\*\* sesquioxane (HSQ), carry out horizontal OFF of the wafer front face, a spin coat is carried out and the field during a wiring is filled. Capping layers, such as SiO<sub>2</sub> 20, are formed in the crowning of a low k material. Next, heating hardening of the HSQ is carried out. Next, thin SiO<sub>2</sub> The flattening of the flattening layer 22 can be formed and carried out. another example -- HSQ and SiO<sub>2</sub> a process step -- repeating -- a multilayer -- it can be referred to as HSQ

---

[Translation done.]

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-074755

(43)Date of publication of application : 17.03.1998

(51)Int.Cl.

H01L 21/316  
H01L 21/768

(21)Application number : 09-204903

(71)Applicant : TEXAS INSTR INC <TI>

(22)Date of filing : 30.07.1997

(72)Inventor : JENG SHIN-PUU  
TAYLOR KELLY J  
CHATTERJEE AMITAVA

(30)Priority

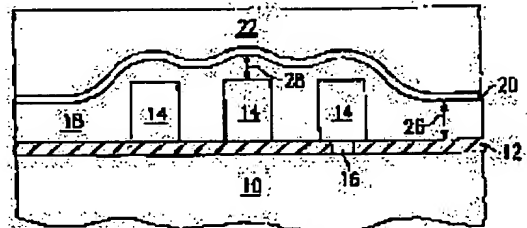
Priority number : 96 23133    Priority date : 30.07.1996    Priority country : US

### (54) MICROELECTRONIC STRUCTURE AND ITS FORMING METHOD

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an improved method of depositing HSQ (hydrocinsilsesquioxane) in an integrated circuit structure and a process where a required multilayer interconnection is formed.

**SOLUTION:** First, a wiring 14 is patterned on a substrate 10 by etching. Low-k material such as HSQ(Hydrocinsilsesquioxane) is applied onto the substrate 10 by pin coating traversing its surface so as to fill up regions between wirings. A capping layer such as an SiO<sub>2</sub> layer 20 and the like is formed on the top of the applied low-k material layer. Then, the low-k material layer 20 of HSQ is cured by heating. Then, a thin SiO<sub>2</sub> flattening layer 22 is formed for flattening. In another method, an HSQ and SiO<sub>2</sub> process is repeatedly carried out for the formation of a multilayered HSQ.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-74755

(43) 公開日 平成10年(1998) 3月17日

(51) Int.Cl. <sup>6</sup>	識別符号	庁内整理番号	P I	技術表示箇所
H 0 1 L 21/316			H 0 1 L 21/316	G
21/768			21/90	S
				Q

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号	特願平9-204903	(71) 出願人	590000879 テキサス インストルメンツ インコーポ レイテッド アメリカ合衆国テキサス州ダラス、ノース セントラルエクスプレスウェイ 13500
(22) 出願日	平成9年(1997) 7月30日	(72) 発明者	シン - プー イエング アメリカ合衆国テキサス州プリノ、エバー グリーン 2508
(31) 優先権主張番号	0 2 3 1 3 3	(72) 発明者	ケリー ジェイ. テイラー アメリカ合衆国テキサス州アレン、チャー ター オーク ストリート 829
(32) 優先日	1996年7月30日	(74) 代理人	弁理士 桒村 皓 (外3名)
(33) 優先権主張国	米国 (U S)		

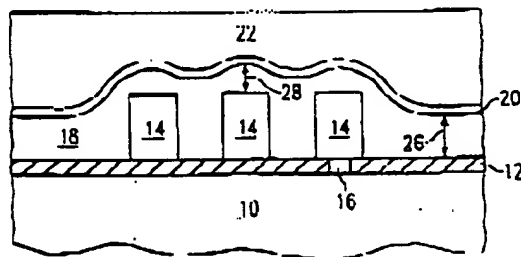
最終頁に続く

(54) 【発明の名称】 マイクロエレクトロニク構造および形成方法

(57) 【要約】

【課題】 H S Q を集積回路構造内へ集積する改良された方法および、特に多層配線を必要とする、過剰を提供する。

【解決手段】 配線 1 4 が最初に基板 1 0 上にパターン化されエッチングされる。ヒドロジシルセスキオキサン (H S Q) 等の低 k 材料がウエハ表面を横切してスピニングコートされ配線間の領域を埋める。S i O<sub>2</sub> 2 0 等のキャッピング層が低 k 材料の頂部に形成される。次に、H S Q が加熱硬化される。次に、薄い S i O<sub>2</sub> 半導体層 2 2 を形成して平坦化することができる。別の実施例では、H S Q および S i O<sub>2</sub> プロセスステップを繰り返して多層 H S Q とすることができる。





(2)

特開平10-74755

## 【特許請求の範囲】

【請求項1】 マイクロエレクトロニクス構造の形成方法であって、該方法は、

(イ) 半導体基板を設けるステップと、

(ロ) 前記基板上にヒドロジシルセスキオキサン層を形成するステップと、

(ハ) 前記ヒドロジシルセスキオキサン層にキャッピング層を形成するステップと、

(ニ) ヒドロジシルセスキオキサン層を炉で硬化するステップと、からなる方法。

【請求項2】 マイクロエレクトロニクス構造であって、

(イ) 半導体基板と、

(ロ) およそ4,000Åよりも大きい厚さを有する、前記基板上の実質的にクラックの無いヒドロジシルセスキオキサン層と、からなる構造。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は一般的に集積回路の間の狭い配線間の容量やシリコンレンズ分離の容量を低減する方法および構造に関する。特に、本発明はヒドロジシルセスキオキサン（HSQ）薄膜の硬化中のクラックを抑制して高温処理に対する抵抗性を得、HSQの多孔度を増して比誘電率を低減する方法に関連している。

【0002】

【従来の技術】 集積回路は非常に間隔の狭い配線を次層に要求してきており、デバイス間のさまざまな回路を配線するのに、7層もの、多層配線を必要とするものが多い。間隔が狭いと隣接配線間の容量が増加するため、デバイスのジオメトリが収縮して密度が増加すると隣接配線間の容量およびクロストークが一層問題となる。したがって、比誘電率の低い材料を使用してこの傾向を相殺し、間隔の狭い配線間の容量を低くすることが次第に望ましくなってきた。

【0003】 配線容量は配線内に分散される量であるが、2つの要素、すなわち配線対基板、すなわち配線対グラウンド容量および配線間容量が支配的である。デザインルールが0.25ミクロン以上の超大規模集積の場合、性能は配線RC遅延により支配され、配線間容量は総容量に最も寄与する。例えば、幅/間隔が0.3ミクロン以下にスケールダウンされると、総容量がその90%以上を構成する配線間容量により決まってしまうほど配線間容量が低くなってしまうことが理論的なモデリングにより示されている。したがって、配線間容量を低減するだけで総容量は非常に効果的に低減される。

【0004】 従来技術の金属間誘電体（IMD）は典型的にはおよそ4.0の比誘電率を有するSiO<sub>2</sub>である。この材料を比誘電率の低い材料と置換することが望ましい。ここで使用するように、低い比誘電率すなわち低い比誘電率がおおよそ3.0よりも低い、好ましくは

3よりも低い、さらに好ましくはおよそ2以下の材料を意味する。残念ながら、比誘電率の低い材料は既設の集積回路構造および過程に集積化するのを困難にする性質を有している。ポリシルセスキオキサン、ポリリン、ポリイミド、ベンゾシクロブタンおよびアセチレン等多くのポリマー材料が低い比誘電率を有している。他の好ましい材料は典型的にアトリエチン（TEOS）保存溶液から作られるエーロゲルやキセロゲルである。SiO<sub>2</sub>に比べて、これらの好ましい低k材料は典型的に機械的強度が低く、寸法安定度が悪く、温度安定度が悪く、吸湿度および溶剤性が悪く、接着性が悪く、熱膨張係数が大きく応力レベルが不安定である。これらの属性により、ポリマーや他の比誘電率の低い材料をそれだけで集積回路過程や構造においてSiO<sub>2</sub>の代わりに使用することは問題である。

【0005】 同一出願人による特許出願SN60/013,866（TI-21880）には、HSQおよび他の比誘電率の低い材料を集積する方法および構造が開示されている。この出願には低k材料と従来の誘電体の交番する層からなる多層誘電体スタックを作り出すことが開示されている。低k膜の層間に挿入した安定化層によりより脆い低k材料が衝撃に耐えるようにされる。

【0006】 同一出願人による別の出願SN60/（TI-19738）には、HSQをメタ分離構造として集積する方法および構造が開示されている。

【0007】

【発明が解決しようとする課題】 本発明により、前記したような望ましくない性質を有する、比誘電率の低い材料を集積回路として集積する改良された方法および、特に多層配線を必要とする、過程が提供される。本発明は特にヒドロジシルセスキオキサン（HSQ）等の低k膜の機械的強度およびクフック抵抗を改善することに関連している。

【0008】

【課題を解決するための手段】 HSQのクラック形成は硬化温度、硬化遅延、硬化時間、および曝露等の要因に影響されることが観察されている。これらの条件を制御することによりクフック抑制はある程度成功している。ここに開示するのは、よりロバストな製作過程および実質的にクラックの無い低k HSQ層を達成するために、従来技術の方法のプロセスステップを配列し、道してHSQのクフックをさらに低減する方法である。一般的に、本発明の過程はHSQを硬化する前に浸透性の機械的に安定な薄膜で被覆することである。

【0009】 実施例では、最初に配線がパターン化されてエッチングされる。ヒドロジシルセスキオキサン（HSQ）等の低k材料がウェーハ表面を横切してスピニングされ、配線間の領域を埋める。HSQは従来技術の構造で得られるものよりも厚くするのが有利である。次に、SiO<sub>2</sub>等の誘電体安定化キャップ層が

(3)

特開平10-74755

HSSQの頂部に形成される。次に、HSSQをホットプレート上で加熱して硬化させる。次に、薄いSiO<sub>2</sub>平坦化層を形成して平坦化することができる。別の実施例では、HSSQおよびSiO<sub>2</sub>プロセスステップを繰り返して多層HSSQとすることができる。

【0010】本発明の利点は、既存のHSSQ過程に較べ、プロセスステップが付加されないことである。プロセスステップは本質的に逐次配列し直され、したがって新過程の利益を付加するのにコストは付加されない。

【0011】本発明の他の利点は、HSSQの形成に続いて高温(>450℃)過程を使用できることである。例えば、酸化膜高濃度化およびリフロー等の、高温炉硬化が可能となり誘電体の無欠性が改善される。

【0012】もう一つの利点はO<sub>2</sub>およびH<sub>2</sub>O硬化を使用して後続する過程の前に酸化膜を“回復”できることである。

【0013】さらに、HSSQはキャップ層によりプラズマから保護されるため、必要ならば、不純物により酸素プラズマアッシングを使用できることである。また、本発明は前記した参照出願の方法と組み合わせることができる。

【0014】

【発明の実施の形態】図1を参照して、本発明の実施例を示し、HSSQ 18は半導体基板10上の配線14間に堆積されている。HSSQはいくつかの周知の方法の一つ、および前記参照出願に記載された方法により形成することができる。薄い誘電体キャップ層すなわち安定化層20がHSSQ層を被覆している。キャップ層に続いて付加低材料層を形成することができる。次に、平坦化金属間誘電体層22により金属間領域を完成することができる。

【0015】図2a-図2bを参照して、図1の完成構造で表される本発明の実施例を形成する一連のステップを示す。図2aに誘電体層12で被覆された半導体基板10を示す。本発明の図示する実施例は集積回路上の配線間の容量を低減することに向けられている。これらの配線は典型的にはシリコン結晶等の半導体材料のウェーハの表面上に作られるアクティブデバイスの頂上に配置されるため、半導体基板10は通常半導体デバイスのアクティブコンポーネントを構成するさまざまな半導体材料のいくつかの層を含んでいる。簡単にするために、これらの層およびデバイスは図示しない。誘電体層12は半導体基板10として、また図1に示す下層のコンポーネントや他の材料から金属配線14を絶縁するのに適した任意の材料とすることができる。

【0016】好ましくは、配線はアルミニウム層を好ましくは平坦な誘電体層12上に堆積させて形成される。アルミニウムはレジストでマスクし、パターニングして周知のいくつかの方法の中の一つによりエッチングすることができる。この手順により、図2aに示すような金

属配線14が得られる。本発明の方法はアスペクト比の高い金属を使用し、配線金属の厚さは幅よりも大きい。アスペクト比の高い配線は、高密度回路の狭い間隔を維持しながら配線抵抗を低減するのに有用である。配線と下層回路間の接続はビアおよびプラグ16により表される。ビアの数および位置は下層回路の設計によって決まる。

【0017】図2bにウェーハ表面上で配線14間に形成したHSSQ 18を示す。好ましくは、HSSQ 18は、図2bに示す、金属配線14間の重要な領域を埋めるのに十分な厚さでスピニングプロセスにより形成される。好ましい材料はおおよそより小さい比誘電率を有するポリヒドロゲンシルヒスギオキサン(HSSQ)である。この材料はグーコーニング社で製造され、FOXのトレードマークで販売され、またアライディングナル社からもHSSQのトレードマークで販売されている。次に、HSSQは好ましくはスピニング上のホットプレートバークによりおおよそ900℃で部分硬化される。

【0018】続いてHSSQ 18には、図2bに示すような安定化キャップ層20が形成される。キャップ層はマイクロクラックの核形成および伝導を防止し、O<sub>2</sub>およびH<sub>2</sub>O炉硬化を可能とし、クラックを生じることなくより厚いHSSQ層を可能とし、平坦化を改善する。キャップ層の厚さはHSSQの強度および厚さに従って最適化することができる。キャップ層は濃密なプラズマSiO<sub>2</sub>、プラズマSi<sub>3</sub>N<sub>4</sub>、フッ化SiO<sub>2</sub>もしくは他の適切な誘電体とすることができる。ビアエッチングに使用すると同じCHF<sub>3</sub>に基づく化学作用をエッチングに使用するため、プラズマCVD SiO<sub>2</sub>キャップ層が好ましい。キャップ層の厚さは好ましくは1,000-3,000Å、最も好ましくはおおよそ2,000Åである。

【0019】キャップ層20の形成後、HSSQを硬化することができる。キャップ層はマイクロクラックの核形成および伝導の防止を助け、O<sub>2</sub>およびH<sub>2</sub>O炉硬化を可能とし、クラックを生じることなくより厚いHSSQ層を可能とし、平坦化を改善する。

【0020】続いて、キャップ層20におおよそ16,000Åの薄いSiO<sub>2</sub>層間誘電体22を形成して平坦化することができる。層間誘電体を平坦化した後で、図1に示すような構造となる。好ましい実施例では、層間誘電体はプラズマCVD(PECVD)により堆積され化学機械研削(CMP)により平坦化されるSiO<sub>2</sub>である。後に詳述するように、本発明は従来の誘電体材料間に低誘電体材料を配置することにより、SiO<sub>2</sub>と比誘電率の低い材料の利点を組み合わせるものである。構造的安全性、粘着性、熱伝導率等がSiO<sub>2</sub>その他の適切な誘電体により改善される。

【0021】本発明の方法を繰り返して、互いに積み重ねられた多層配線を形成することができる。多層の例を図3に示す。典型的な多層配線は層間のビアおよびコン

(4)

特開平10-74755

ククト16が必要である。これらのビノは通常、同様の方法で局間誘電体が形成され平坦化された後で作られる。

【0022】図3にはライナー層24も示されている。ライナー層24はHSQが配線14と接触しないようにするために使用することができる。ファイアー層はCVDシリコン酸化膜等のエッチストップングすなわち保護オパコート層とすることができる。次に、HSQ材料ライナー層の上のウエーハ表面上でスピコートされる。

【0023】図1に示す構造は従来技術の構造に類似しているが、重要な特徴に注目願いたい。本発明の方法により、HSQは従来よりも厚く形成することができる。厚さが増すために、金属配線層間に比誘電率のより低い材料を有することにより配線容量を低減することができる。同じ金属層上の配線間のブリッジング容量も低減することができる。従来技術の方法を使用する従来技術の構造では、最大平坦ノード厚25はおよそ4,000Åであり、配線28上の最大HSQはおよそ1,000Åであった。従来技術の方法を使用すれば、これらの最大値の上に形成されるHSQには著しいクラック問題が生じた。本発明の実施例は4,000Åよりも大きいノード厚26および1,000Åよりも大きい配線28上のHSQを含んでいる。

【0024】本発明の別の実施例を図4に示す。この実施例は本発明の方法をS/N60(T1-19738)の構造に適用している。この応用はHSQが分離壁内に配設されて耐高温トレンチ埋込みを行うことを開示している。この構造では、炉硬化の前にHSQハキャップ層を施すと有利であることも判った。特に、キャップ層により有害な影響を及ぼすことなくHSQ層を厚くすることができ、層厚は1μmよりも厚くすることができる。また、キャップ層によりHSQのO<sub>2</sub>及ぼすH<sub>2</sub>Oが硬化を行うことができHSQ層の収縮が低減される。

【0025】図4に示すように、シリコン基板10はトランジスタ32等の隣接アクティブデバイスと分離する分離壁30を有している。酸化膜キャップ22は溝形成エッチングのハードマスクであると共に酸化膜平坦化のCMPストップパである。好ましくは、次に基板はHSQ18によりスピコートされる。好ましくは、次にHSQ18はスピコート上でホットプレートバークにより部分硬化される。好ましくはPETEO3であるキャッピング層20が前記したように形成される。キャッピング層を形成した後で、HSQは150℃のN<sub>2</sub>、O<sub>2</sub>もしくは850℃のH<sub>2</sub>O内で安全に炉硬化される。炉硬化は好ましくは15-100分、最も好ましくはおよそ30分行われる。

【0026】本発明のもう1つの実施例を図5に示す。この実施例ではポリメタル誘電体層としてHSQ層が使用されている。図5からお判りのように、シリコン基板10は1つ以上のゲート34を有している。ゲートは隣接アクティブデバイスを分離する分離壁30を含んでいる。好ましくは、基板表面にはHSQ18がスピコートされる。好ましくは、次にHSQ18はスピコート上でホットプレートバークにより部分硬化される。好ましくはPETEO3であるキャッピング層20が前記したように形成される。キャッピング層の形成後、HSQは1060℃のN<sub>2</sub>、O<sub>2</sub>もしくは850℃のH<sub>2</sub>O内で安全に炉硬化される。好ましくは、炉硬化は15-100分、最も好ましくはおよそ30分である。この実施例は前記した他方の実施例と組み合わせ使用することができる。

【0027】本発明は、また、安定化層を前記した同一出願人による出願に開示された構造および技術と組み合わせ使用とするものである。

【0028】

【表1】実施例および図面の入要を表に示す。

(5)

特開平10-74755

図面 要素	好ましいまたは 特定例	一般用語	代替例
10	シリコン基板	基板またはウェーハ	GaAs
12	シリコン酸化膜	パッファ層	
14	アルミニウム	配線	TiR/Al/TiR, Cu, V
16	タングステン	ビア	アルミニウム
18	HSQ	低比誘電率材料	キセロゲル, 有機SiO <sub>2</sub> , 低比誘電率 ポリマー
20	TEOS	キャッピング層	フッ化SiO <sub>2</sub> , Si <sub>3</sub> N <sub>4</sub> , ダイヤモンド, 機械的強度のよい他の誘電体
22	SiO <sub>2</sub>	金属間誘電体	フッ化SiO <sub>2</sub> , Si <sub>3</sub> N <sub>4</sub> , ダイヤモンド, 機械的強度のよい他の誘電体
24	シリコン酸化膜	ファイナ	フッ化SiO <sub>2</sub>
30	トレンチ		
32	酸化膜	研削ストップ	
34	シリコン酸化膜	パッド酸化膜	

【0029】実施例を参照して本発明を説明してきたが、この説明は制約的意味合いを有するものではない。当業者ならば、説明を求めれば、他の実施例だけでなく例示した実施例のさまざまな修正および組合せが自明であらう。このような修正や実施例は全て特許請求の範囲に入るものとする。

出願	T1ケース	出願日
S/N08/137,658	T1-18509	10/15/93
S/N08/298,807	T1-12532	08/03/94
S/N08/455,765	T1-18929AA	05/31/95
S/N60/005132	T1-20784	10/12/95
S/N60/	T1-21907	10/25/95
S/N60/	T1-21909	12/04/95
S/N60/013,866	T1-21880	03/22/96
S/N60/	T1-19738	07/30/98

【0031】以上の説明に関して更に以下の項を開示する。

(1) マイクロエレクトロニクス構造の形成方法であって、該方法は、(イ)半導体基板を設けるステップと、(ロ)前記基板上にヒドロジシルセスキオキサン層を形成するステップと、(ハ)前記ヒドロジシルセスキオキサン層にキャッピング層を形成するステップと、

【0030】関連出願の相互参照

同一出願人により出願されている下記の出願は本出願に関連しており、本開示の一部としてここに組み入れられている。

要題

配線間容量を低減する平坦化構造  
メタルリード間の配線容量改善  
比誘電率の低い絶縁体を埋込んだ平坦化多層配線方式  
集積回路用低容量配線構造  
高熱伝導配線構造  
分解ポリマーを使用した集積回路用低容量配線構造  
比誘電率の低い材料を使用した集積回路用低容量配線構造  
流動性酸化膜を埋込材料として使用したシリコンオンインスレータ技術用メサ分離埋込過程

(ニ)ヒドロジシルセスキオキサン層を硬化するステップと、からなる方法。

【0032】(2) マイクロエレクトロニクス構造の形成方法であって、該方法は、(イ)金属配線を有する半導体基板を設けるステップと、(ロ)前記基板の前記配線の上にヒドロジシルセスキオキサン層を形成するステップと、(ハ)前記ヒドロジシルセスキオキサン層に

(6)

特開平10-74755

キャッピング層を形成するステップと、(ニ)ヒドロジンシルセスキオキサン層を炉で硬化するステップと、からなる方法。

【0033】(3) 第1項もしくは第2項記載の方法であって、前記ヒドロジンシルセスキオキサンは前記基板上の配線間に形成される方法。

【0034】(4) 第1項記載の方法であって、さらに、前記ヒドロジンシルセスキオキサンを形成する前に前記導電性配線上にライナー層を設ける付加ステップを含む方法。

【0035】(5) 第1項もしくは第2項記載の方法であって、前記ヒドロジンシルセスキオキサンは前記基板上の分離溝内に形成される方法。

【0036】(6) 第1項もしくは第2項記載の方法であって、前記キャッピング層は $\text{SiO}_2$ および $\text{Si}_3\text{N}_4$ 、およびフッ化 $\text{SiO}_2$ の群から選択される方法。

【0037】(7) 第1項もしくは第2項記載の方法であって、前記炉硬化は $\text{C}_x\text{H}_y$ 、 $\text{C}_x\text{F}_y$ 、 $\text{N}_2$ 、 $\text{O}_2$ 、 $\text{H}_2\text{O}$ およびフローミングガス( $\text{H}_2$ と $\text{N}_2$ の混合)からの選択を有する方法。

【0038】(8) 第7項記載の方法であって、前記炉硬化は400℃よりも高い温度を有する方法。

【0039】(9) 第7項記載の方法であって、前記炉硬化は800℃よりも高い温度を有する方法。

【0040】(10) 第1項もしくは第2項記載の方法であって、埋埋に続いて前記誘電体を平坦化する付加ステップを含み、次にステップ(イ)から(ニ)を繰り返して多層配線構造を作り出す方法。

【0041】(11) マイクロプロセクトロニクス構造であって、(イ)半導体基板と、(ロ)およそ4,000Åよりも大きい厚さを有する、前記基板上の実質的にクワックの無いヒドロジンシルセスキオキサン層と、からなる構造。

【0042】(12) 第11項記載の構造であって、前記ヒドロジンシルセスキオキサンは前記基板上の配線間に形成される構造。

【0043】(13) 第11項記載の構造であって、前記ヒドロジンシルセスキオキサンは前記基板上の分離溝内に形成される構造。

【0044】(14) 第11項記載の構造であって、前記キャッピング層は $\text{SiO}_2$ および $\text{Si}_3\text{N}_4$ 、およびフッ化 $\text{SiO}_2$ の群から選択される構造。

【0045】(15) 第11項記載の構造であって、前記ヒドロジンシルセスキオキサンは前記基板上的のデバイスゲート上にポリメタル誘電体として形成される構造。

【0046】(16) HSGを集積回路構造内へ集積する改良された方法および、特に多層配線を必要とする、過程が提供される。実施例では、配線14が最初に基板10上にパターン化されエッチングされる。ヒドロジンシルセスキオキサン(HSG)等の低k材料がウェーハ表面を横切してスピニングされ配線間の領域を埋める。 $\text{SiO}_2$ 20等のキャッピング層が低k材料の頂部に形成される。次に、HSGが加熱硬化される。次に、薄い $\text{SiO}_2$ 平坦化層22を形成して平坦化することができる。別の実施例では、HSGおよび $\text{SiO}_2$ プロセスステップを繰り返して多層HSGとすることができる。

#### 【図面の簡単な説明】

【図1】本発明の好ましい実施例の断面図。

【図2】図1の好ましい実施例の製作ステップ。

【図3】多層配線を有する本発明の好ましい実施例の断面図。

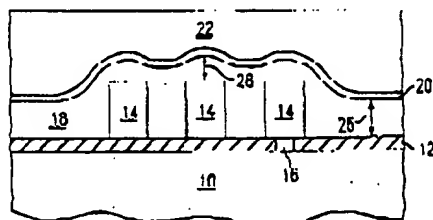
【図4】トレンチ分離にキャップ付きHSG層を使用した本発明のもう1つの好ましい実施例の断面図。

【図5】追加の実施例を示す。

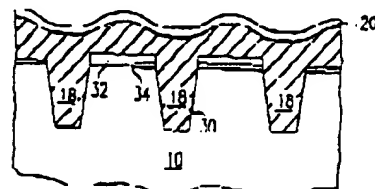
#### 【符号の説明】

- 10 半導体基板
- 12 誘電体層
- 14, 28 配線
- 16 ドアおよびプラグ
- 18 HSG
- 20 安定化層
- 22 金属間誘電体層
- 24 配線層
- 30 分離溝
- 32 トランジスタ
- 34 ゲート

【図1】



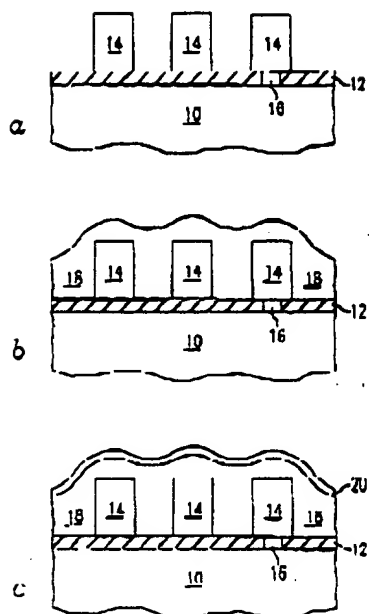
【図4】



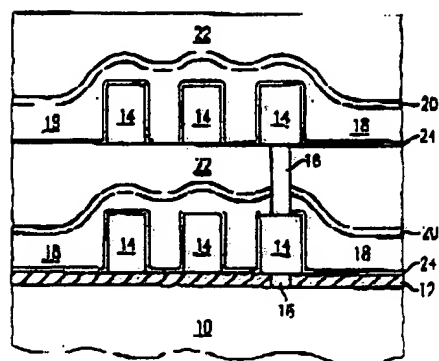
(7)

特開平10-74755

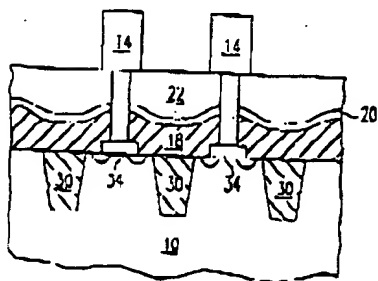
【図2】



【図3】



【図5】



フロントページの続き

(72)発明者 アミタバ チャッタージー  
 アメリカ合衆国テキサス州アラノ、サンタ  
 ア レーン 3545